

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08297982 A**(43) Date of publication of application: **12.11.96**

(51) Int. Cl

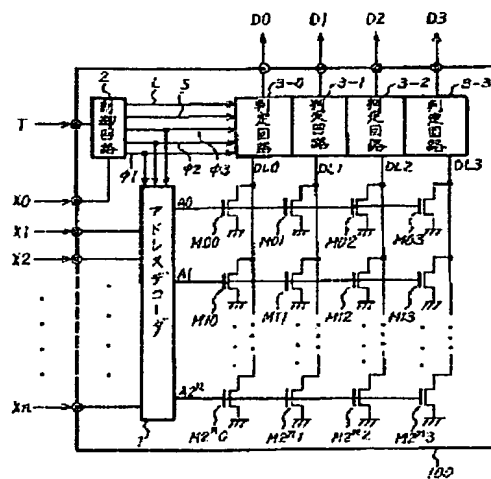
G11C 16/04(21) Application number: **07105182**(22) Date of filing: **28.04.95**(71) Applicant: **NEC CORP**(72) Inventor: **IKEBE MASAZUMI
NISHISAKA SADAICHIROU**(54) **SEMICONDUCTOR MEMORY HAVING
MULTIVALUED MEMORY CELL**

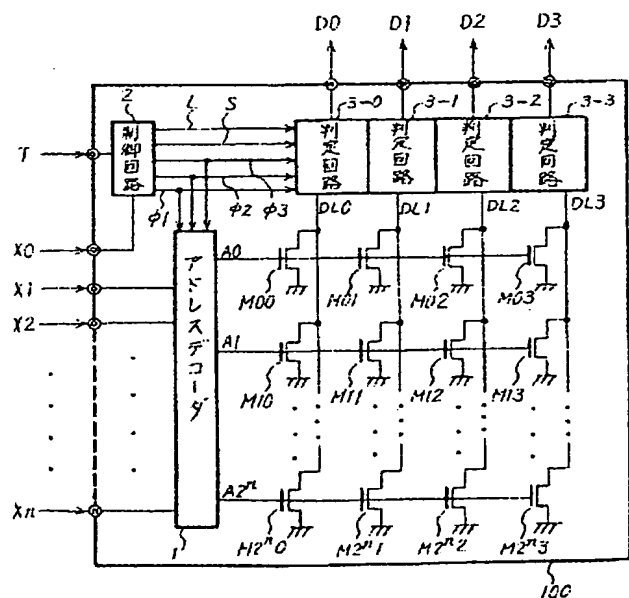
(57) Abstract:

PURPOSE: To obtain a multivalued ROM having high reading speed.

CONSTITUTION: Threshold value of a memory cell M is set at any one of VT0, VT1, VT2 and VT3. An address decoder 1 selects one word line A based on a part of address signals X_n-X₁. The remaining address signal X₀ is fed to a control circuit 2 which designates to set the voltage of a word line, for which '0' is selected, between VT1 and VT2 and to vary the voltage of a word line, for which '1' is selected, sequentially between VT1 and VT2, VT0 and VT1, and VT2 and VT3. With such arrangement, only one kind of word line voltage is required when the address signal X₀ is '0'.

COPYRIGHT: (C)1996,JPO





【特許請求の範囲】

【請求項 1】 m (m は 2 以上の整数) ビットの情報を格納する複数のメモリセルと、アドレス値に应答して前記複数のメモリセルの少なくとも 1 つを選択する手段とを有する半導体記憶装置であって、前記それぞれのメモリセルに格納された m ビットの情報は、それぞれ m 種類のアドレス値に対応する情報であることを特徴とする半導体記憶装置。

【請求項 2】 メモリセルトランジスタと、入力されたアドレス信号が第 1 の値であるときには前記メモリセルトランジスタのゲートに第 1 の電圧を印加し、この時の前記メモリセルトランジスタの導通状態に応じて出力信号を発生する第 1 の手段と、入力されたアドレス信号が第 2 の値であるときには前記メモリセルトランジスタのゲートに前記第 1 の電圧、第 2 の電圧及び第 3 の電圧を所定の順で印加し、前記第 1、第 2 及び第 3 の電圧を印加したときそれぞれにおける前記メモリセルトランジスタの導通状態に応じて出力信号を発生する第 2 の手段とを備える半導体記憶装置。

【請求項 3】 前記第 1 の手段は、前記メモリセルトランジスタのゲートに前記第 1 の電圧が印加されたときの前記メモリセルトランジスタの導通状態を記憶する第 1 の記憶回路と、前記第 1 の記憶回路に記憶された値を前記出力信号として出力する手段とを有し、前記第 2 の手段は、前記メモリセルトランジスタのゲートに前記第 1 の電圧が印加されたときの前記メモリセルトランジスタの導通状態を記憶する第 2 の記憶回路と、前記第 2 の電圧が印加されたときの前記メモリセルトランジスタの導通状態を記憶する第 3 の記憶回路と、前記第 3 の電圧が印加されたときの前記メモリセルトランジスタの導通状態を記憶する第 4 の記憶回路と、前記第 2、第 3 及び第 4 の記憶回路に記憶された情報に基づく値を前記出力信号として出力する手段とを有する請求項 2 記載の半導体記憶装置。

【請求項 4】 複数のワード線と、複数のディジット線と、前記ワード線及び前記ディジット線のそれぞれに接続された複数のメモリセルトランジスタであって、それぞれ閾値電圧が第 1、第 2、第 3 及び第 4 の電圧のいずれかひとつに設定されている複数のメモリセルトランジスタと、アドレス信号の一部に基づいて前記複数のワード線の 1 本を選択するアドレスデコーダと、前記アドレス信号の他部が第 1 の値であるときには前記選択されたワード線に前記第 2 の電圧と前記第 3 の電圧の間である第 5 の電圧を供給し、前記アドレス信号の他部が第 2 の値であるときには前記選択されたワード線に前記第 5 の電圧、前記第 1 の電圧と前記第 2 の電圧の間である第 6 の電圧、前記第 3 の電圧と前記第 4 の電圧の間である第 7 の電圧を所定の順で次々供給する手段と、前記複数のディジット線のレベルに基づき出力信号を生成する判定回路とを備える半導体記憶装置。

【請求項 5】 前記第 1 の電圧は前記第 2 の電圧よりも低く、前記第 2 の電圧は前記第 3 の電圧よりも低く、前記第 3 の電圧は前記第 4 の電圧よりも低いことを特徴とする請求項 4 記載の半導体記憶装置。

【請求項 6】 クロック信号に基づき前記アドレス信号の値を変化させるアドレスカウンタをさらに有し、前記アドレスデコーダは、前記アドレスカウンタのカウント値の一部に基づいて前記複数のワード線の 1 本を選択し、前記手段は、前記カウント値の他部が第 1 の値であるときには前記選択されたワード線に前記第 5 の電圧を供給する一方、前記カウント値の他部が第 2 の値であるときには前記選択されたワード線に前記第 5 の電圧、前記第 6 の電圧、前記第 7 の電圧を所定の順で次々供給し、前記判定回路は、前記カウント値の他部が前記第 1 の値であるときには選択されたワード線に前記第 5 の電圧が印加されているときのディジット線のレベルに基づいて出力信号を生成する一方、前記カウント値の他部が前記第 2 の値であるときには選択されたワード線に前記第 5 の電圧が印加されているときのディジット線のレベル、前記第 6 の電圧が印加されているときのディジット線のレベル及び前記第 7 の電圧が印加されているときのディジット線のレベルに基づいて出力信号を生成することを特徴とする請求項 4 または 5 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複数ビットを記憶するメモリセル（以下、「多値セル」という）を有する半導体記憶装置に関し、特に連続アクセスに好適な半導体記憶装置に関する。

【0002】

【従来の技術】 不揮発性半導体記憶装置（以下、「ROM」という）の大容量化を実現するためのひとつの手段として、複数ビットの情報を格納する多値セルを用いる技術が知られている。このような ROM は、例えば特開昭 53-81024 号公報に示された技術によりメモリセルのしきい値が多段階に設定されており、例えばこれが 4 段階であるとすれば、ひとつのメモリセルに 4 種類の情報、すなわち 2 ビットの情報が格納されることになる。したがって、1 ビットの情報しか格納できない通常の ROM に比べて $1/2$ のセル数で、これと同一の記憶容量が得られることになる。以下、従来におけるこのような ROM の構成と読み出し時の動作につき図面を参照して説明する。

【0003】 図 9 は、多値セルを用いた従来の ROM 300 の全体を示す図であり、ROM 300 は 1 回のアクセスで 2 つのメモリセルトランジスタ（以下、「セル」という）を読み出し、4 ビットの出力データを得る ROM である。図において、30 はアドレスデコーダであり、供給されるアドレス信号 $X_n \sim X_0$ に応答してワー

ド線W0~W2ndのうちの1本を選択する。各ワード線は、それぞれ2つのセルのゲートに接続されており、各セルmは製造時において4種類の閾値(VT0、VT1、VT2、VT3。但し、 $VT0 < VT1 < VT2 < VT3$)のうちの、いずれかひとつの閾値に設定されている。つまり、各セルには2ビットの情報が格納されていることになる。また図のように、各ワード線に接続された2つのセルの一方はディジット線DL0に共通に接続され、他方のセルはディジット線DL1に共通に接続されている。さらに、31及び32はそれぞれ判定回路であり、制御回路33から供給される制御信号34と、対応するディジット線のレベルに基づいて選択されたセルの閾値を判定し、これを2ビットのデータに変換して出力する。

【0004】次に、図9に示す従来のROM300のからのデータの読み出し動作につき、図10をさらに参照して説明する。まず、アドレス信号Xn~X0がROM300に入力されると、アドレスデコーダ30はかかるアドレス信号に応答して1本のワード線を選択するが、ここでは入力されたアドレス信号Xn~X0がオール0で、ワード線W0が選択されたとして説明を進める。選択されたワード線W0の電圧は、制御信号34に基づき、図10に示すように閾値VT0とVT1の中間の電圧、VT1とVT2の中間の電圧、VT2とVT3の中間の電圧へと次々に変化する。なお、選択されないワード線は接地電位(VT0以下)である。つまり、セルm00及びm01のゲートには、閾値VT0とVT1の中間の電圧、VT1とVT2の中間の電圧、VT2とVT3の中間の電圧が次々と印加されることになる一方、その他のセルのゲートは常に接地電位となる。これにより、セルm00及びm01はワード線W0の電圧が閾値を越えたときに導通状態となるが、その他のセルは常に非導通状態であるので、ディジット線DL0及びDL1は、ワード線W0の電圧がそれぞれ対応するセルm00及びm01の閾値を越えたときに、初めて接地されることになる。ワード線W0の電圧変化の様子は、制御信号34によって判定回路31及び32にも伝えられており、これら判定回路は、ワード線W0がどの電圧になった時点でディジット線DL0及びDL1が接地されたかを制御信号34に基づいて判定し、これによって2ビットのデータを出力する。すなわち、判定回路31は、ワード線W0の電圧がVT0とVT1の中間の電圧となった時点でディジット線DL0が接地されたことを検出すれば、セルm00の閾値がVT0であると判定し、VT1とVT2の中間の電圧となった時点で接地されたことを検出すれば閾値がVT1であると判定し、VT2とVT3の中間の電圧となった時点で接地されたことを検出すれば閾値がVT2であると判定し、VT2とVT3の中間の電圧となっても全く接地されなければ、閾値がVT3であると判定する。このような判定は、判定回路3

2においても同様に行われる。そして、閾値をVT0であると判定すれば、判定回路31及び32はそれぞれの出力D0、D1及びD2、D3を(0、0)とし、閾値をVT1であると判定すれば(0、1)とし、閾値をVT2であると判定すれば(1、0)とし、閾値をVT3であると判定すれば(1、1)とする。

【0005】以上の動作により、例えばセルm00及びm01の閾値が、それぞれVT1及びVT2であるとすれば、出力データD0、D1、D2、D3は(0110)となり、セルm10及びm11の閾値がともにVT2であるとすれば、出力データD0、D1、D2、D3は(1010)となる。

【0006】このように、従来のROM300では、1回のアクセスで読み出される4ビットデータに2つのセルを対応させ、一方のセルに上位2ビットのデータを格納し、他方のセルに下位2ビットのデータを格納することによって、1/2のセル数で通常のROMと同一の記憶容量を得ている。

【0007】

【発明が解決しようとする課題】しかしながら、通常のROMでは選択すべきワード線を単にある一定の電圧(例えば5V)とするだけで読み出しを行えるのに対し、上述のROM300は、アクセスする毎にワード線の電圧を3段階に変化させなければならないので、通常のROMに比べると読み出し速度が非常に遅いという欠点がある。

【0008】一方、特開平4-184794号公報に記載されているように、まずワード線の電圧をVT1とVT2の中間レベルとし、この時のセルの導通状態に基づいて2回目のワード線電圧をVT0とVT1の中間レベルとするか、VT2とVT3の中間レベルとするかを決定し、これによって閾値を判定するという技術が知られている。かかる技術によれば、ワード線の電圧を2段階に変化させるだけでセルの閾値を判定でき、上述のような3段階に変化させるものに比べて高速な読み出しが可能となるが、この方法は、1回のアクセスで読み出すことのできるセルは、ワード線1本につき1つに限られてしまう。したがって、4ビット出力を得るために2つのセルを同時にアクセスする必要がある場合には、それぞれのセルに対応するワード線は別々でなければならないとともに、上記ワード線電圧の決定も各ワード線毎に行わなければならない、回路構成が非常に複雑になるという重大な欠点を有する。

【0009】したがって、本発明の目的は、多値メモリセルを有するROMにおいて、複雑な回路を用いることなく、読み出し時においてワード線電圧を変化させる回数を少なくし、高速に読み出しを行うことのできるものを提供することである。

【0010】

【課題を解決するための手段】本発明の半導体記憶装置

は、(mは2以上の整数)ビットの情報を格納する複数のメモリセルと、アドレス値に回答して該複数のメモリセルの少なくとも1つを選択する手段とを有し、それぞれのメモリセルに格納されたmビットの情報は、それぞれm種類のアドレス値に対応している。

【0011】すなわち、各メモリセルに格納されたmビットの情報は、m種類のアドレスによって読み出されるようになっており、例えばメモリセルが2ビットの情報を格納するものである場合には、あるアドレスによって1ビットが読み出され、これとは異なる他のアドレスによって残りの1ビットが読み出される。

【0012】

【作用】これにより、1回のアクセスにおいて、対応するメモリセルに格納された情報の全てを読み出す必要がなくなるので、アドレス信号に回答して選択されたワード線の電圧を変化させる回数が少なくなる。

【0013】

【実施例】次に、本発明の実施例について、図面を参照して詳述する。

【0014】図1は、本発明の第1の実施例によるROM100の全体を示す図であり、かかるROM100は従来例において示したROM300と同様、1回のアクセスで4ビットの出力データが得られるROMである。図に示すように、ROM100は複数のメモリセルトランジスタ(以下、「セル」という)Mを有しており、各セルMは従来例におけるセルmと同様、2ビットの情報を格納する。すなわち、各セルMは、製造時において4種類の閾値(VT0、VT1、VT2、VT3。但し、 $VT0 < VT1 < VT2 < VT3$)のうちの、いずれかひとつの閾値に設定されている。また、図において1はアドレスデコーダであり、ROM100に入力されるアドレス信号 $X_n \sim X_0$ のうち、最下位ビットである X_0 を除く $X_n \sim X_1$ を受け、これに回答してワード線A0~A2¹のうちの1本を選択する。図のように、各ワード線はそれぞれ行方向に配列された4つのセルのゲートに共通に接続されており、ディジット線DL0~DL3はそれぞれ列方向に配列された2ⁿ⁺¹個のセルのドレインに共通に接続されている。また、2は制御回路であり、アドレス信号の最下位ビット X_0 及び読み出しタイミング信号Tを受け、これらに基づいてラッチ信号L、選択信号S、タイミング信号 ϕ_1 、 ϕ_2 及び ϕ_3 を生成する。このうちラッチ信号L及び選択信号Sは、図のように判定回路3-0~3-3に共通に供給され、タイミング信号 ϕ_1 、 ϕ_2 及び ϕ_3 は、判定回路3-0~3-3に共通に供給されるとともにアドレスデコーダ1にも供給される。これら信号の発生タイミングは後述するが、アドレスデコーダ1は、タイミング信号 ϕ_1 がハイレベルとなると、選択したワード線を閾値VT0とVT1の中間の電圧に駆動し、タイミング信号 ϕ_2 がハイレベルとなると、選択したワード線を閾値VT1とVT

2の中間の電圧に駆動し、タイミング信号 ϕ_3 がハイレベルとなると、選択したワード線を閾値VT2とVT3の中間の電圧に駆動する。

【0015】図2は、判定回路3-0の具体的な回路構成を示す図である。他の判定回路3-1~3-3は、図2に示す判定回路3-0と同一の回路構成である。図に示すように、判定回路3-0は4つのラッチ回路4~7を有しており、このうちラッチ回路4~6はそれぞれに供給されるタイミング信号 ϕ の立ち下がりに応答して供給されるデータをラッチする回路であり、またラッチ回路7はラッチ信号Lの立ち上がりに応答して供給されるデータをラッチする回路である。

【0016】次に、これら図1及び図2の他に、図3、図4及び図5をさらに参照して、本実施例によるROM100の読み出し動作を説明する。なお、図3は読み出し時におけるタイミング図、図4は各アドレスに対応する出力データの一例を示す図、図5は各セルに設定された閾値の例であり、図4の出力データに対応している。以下、本実施例の説明においては、各セルの閾値は図5のように設定されているものとする。

【0017】まずはじめに、アドレス信号 $X_n \sim X_0$ がオール0の場合(図4のNo. 1)を説明する。ROM100に入力されたアドレス信号は、上述のとおり、最下位ビットである X_0 を除いて全てアドレスデコーダ1に供給され、アドレスデコーダ1はこれに基づいてワード線A0を選択する。この状態において、読み出しタイミング信号Tが供給されると、制御回路2はアドレス X_0 が「0」であるので、図3(a)に示す読み出しサイクルを起動する。すなわち、制御回路2は選択信号Sをハイレベルに固定し、タイミング信号 ϕ_2 を一定期間ハイレベルとする一方、タイミング信号 ϕ_1 、 ϕ_3 をローレベルに固定する。図3(a)に示すように、タイミング信号 ϕ_2 がハイレベルとなると、ワード線A0はVT1とVT2の中間の電圧に駆動されるので、これに応答して、ワード線A0に接続されているセルのうち閾値がVT1以下であるセルM00とM03は導通、閾値がVT1以上であるセルM01とM02は非導通となる。セルの導通状態は、ディジット線DL0~DL3を通じて、それぞれ対応する判定回路内のセンスアンプ13によって検出され、導通していればセンスアンプ13の出力はローレベルとなり、導通していなければローレベルとなる。各センスアンプの出力が確定すると、図3

(a)に示すように制御回路2はラッチ信号Lを発生するが、上述のように、選択信号Sはハイレベルに固定されており、トランスファゲート11はオン状態、トランスファゲート12はオフ状態となっているので、ラッチ回路7にはセンスアンプ13の出力がラッチされることになる。以上により、各判定回路3-0~3-3内のラッチ回路7には、それぞれのセンスアンプ13の出力がラッチされるので、図4に示すとおり(0110)とい

う出力データが得られる。

【0018】次に、アドレス信号 $X_n \sim X_1$ がオール0で、 X_0 が1の場合(図4のNo. 2)を説明する。この場合においても、アドレスデコーダ1に供給される値は、前述のアドレス信号 $X_n \sim X_0$ がオール0である場合と同一であるので、やはりワード線A0が選択される。しかしながら、アドレス信号 X_0 が「1」であるので、これに基づき制御回路2は、読み出しタイミング信号Tにตอบสนองして図3(b)に示す読み出しサイクルを起動する。すなわち、制御回路2は選択信号Sをローレベルに固定し、タイミング信号 ϕ_1 、 ϕ_2 、 ϕ_3 を次々に一定期間ハイレベルとしていく。上述のとおり、タイミング信号 ϕ_1 がハイレベルであると、選択されたワード線はVT0とVT1の中間の電圧に駆動され、タイミング信号 ϕ_2 がハイレベルであると、選択されたワード線はVT1とVT2の中間の電圧に駆動され、タイミング信号 ϕ_3 がハイレベルであると、選択したワード線はVT2とVT3の中間の電圧に駆動されるので、タイミング信号 ϕ_1 がハイレベルである期間はセルM03のみが導通し、タイミング信号 ϕ_2 がハイレベルである期間はセルM00とM03が導通し、タイミング信号 ϕ_3 がハイレベルである期間はセルM00、M01及びM03が導通することになる。このような各セルの導通状態は、タイミング信号 ϕ_1 、 ϕ_2 、 ϕ_3 の立ち下がりにตอบสนองして、対応する判定回路内のラッチ回路4～6に格納される。すなわち、判定回路3-0に対応するセルはM00であるので、判定回路3-0内のラッチ回路4、5及び6には、それぞれ「0、0、1」がラッチされることになる。一方、選択信号Sはローレベルに固定されていることから、これらラッチ回路4～6にラッチされた値は、アンドゲート8及び9、ノアゲート10、トランスファゲート12を介して、ラッチ信号Lの立ち上がりにおいてラッチ回路7にラッチされ、出力データD0は「1」となる。同様に、判定回路3-1内のラッチ回路4、5及び6にはそれぞれ「0、1、1」がラッチされるので、出力データD1は「0」となり、判定回路3-2内のラッチ回路4、5及び6にはそれぞれ「1、1、1」がラッチされるので、出力データD2は「1」となり、判定回路3-3内のラッチ回路4、5及び6にはそれぞれ「0、0、0」がラッチされるので、出力データD3は「0」となる。以上により、図4のNo. 2に示すとおり(1010)という出力データが得られる。

【0019】以上、入力されたアドレス信号のうち、最下位ビットを除く $X_n \sim X_1$ が全て0である場合を例に説明したが、その他のアドレス信号が入力された場合も同様である。すなわち、この場合にはアドレスデコーダ1により選択されるワード線が異なるだけで、アドレス信号の最下位ビット X_0 が「0」であるときは図3

(a)に示す読み出しサイクルに基づいて動作し、「1」であるときは図3(b)に示す読み出しサイクル

に基づいて動作することには変わりはない。

【0020】以上説明したように、本実施例では、1回のアクセスで読み出される4ビットデータに2つのセルを対応させるのではなく、各セルにアドレスの最下位ビットが「0」である場合の出力値と「1」である場合の出力値、すなわち2アドレス分の出力値を格納させ、出力ビット数と同数のセルを同時に選択することで出力データを得ている。これにより、アドレスの最下位ビットが「0」である場合においては(逆に「1」である場合としても良い)選択されたワード線をVT1とVT2の中間の電圧とするだけで出力データを得ることができる。したがって、全てのアクセスにおいてワード線の電圧を3段階に変化させなければならない従来のROM300に比べて、全体としての読み出し速度が向上する。

【0021】次に、本発明の第2の実施例について説明する。

【0022】本実施例は、本発明の特徴を最大限に活用して、クロック信号に同期した高速な読み出しを実現するものである。以下、図面を用いて詳述する。

【0023】図6は、本実施例によるROM200の全体を示す図である。かかるROM200も1回のアクセスで4ビットの出力データが得られるROMであり、第1の実施例において示したROM100と異なる点は、図6に示すように、アドレスカウンタ21、クロック制御回路22、初期回路23を有すること、及び制御回路2が制御回路20に変更された点である。その他の構成はROM100と同一であるので、同一部分の説明は省略し、以下ROM100と異なる部分について説明する。

【0024】図7は、アドレスカウンタ21の具体的な回路構成を示す図である。図のように、アドレスカウンタ21はアドレス信号Xのビット数と同数のラッチ回路40-0～40-nを有しており、それぞれのラッチ回路にはROM200に入力されるアドレス信号 $X_0 \sim X_n$ がそれぞれラッチされる。また、アドレスカウンタ21に供給されるラッチ信号Lは、パルス回路45によってその立ち上がりを検出されて短いパルス信号となり、かかるパルス信号にตอบสนองして3ステートバッファ41-0～41-nは活性状態となる。つまり、ラッチ回路40-0～40-nにラッチされた値は、ラッチ信号Lの立ち上がりにตอบสนองしてインクリメントされる。したがって、ROM200に入力されたアドレス信号が $X_0 \sim X_n$ がオール0、すなわち図4のNo. 1の状態であるとすると、内部アドレス信号 $x_0 \sim x_n$ はラッチ信号Lの立ち上がりにตอบสนองしてNo. 2、No. 3、No. 4へと変化することになる。

【0025】また、図6に示すクロック制御回路22は、外部から供給されるCLK1を受けてCLK2を出力する回路である。CLK2の波形は、図8に示すとおりCLK1のアクティブエッジ(立ち上がり及び立ち下

がりの両エッジが有効)を4つ毎に削除したクロックであり、かかるクロックCLK2は制御回路20に供給されている。

【0026】また、初期回路23は、外部から供給されるアドレス信号の最下位ビットX0及びCLK1を受けて初期信号I及びラッチ信号Lを生成する回路であり、X0が「0」である場合には、CLK1を遅延させた信号をラッチ信号Lとして出力するとともに初期信号Iを発生させず、逆にX0が「1」である場合には、CLK1を遅延させた信号であって1回目のパルス除去したものをラッチ信号Lとして出力するとともに、その除去している期間において初期信号Iを発生する。

【0027】制御回路20は、上記CLK2及び初期信号Iを受け、これらに基づき選択信号S、タイミング信号φ1、φ2、φ3を生成する回路であり、これらの発生タイミングについては後述する。

【0028】次に、本実施例によるROM200の読み出し動作について、タイミング図である図8をさらに参照して説明する。かかる動作の説明においては、第1の実施例と同様に、入力される外部アドレス信号Xn~X0がオール0である場合を例に説明する。

【0029】まず、ROM200に入力された外部アドレス信号Xn~X0は、それぞれアドレスカウンタ21内のラッチ回路40-n~40-0にラッチされ、そのまま内部アドレス信号xn~x0となる。これら内部アドレス信号のうち、最下位ビットx0を除いたxn~x1はアドレスデコーダ1に供給され、これに基づいてワード線A0が選択される。このようにして選択すべきワード線が確定すると、外部からCLK1の入力が開始されるが、上述のように、外部アドレス信号の最下位ビットX0は「0」であるので、図8に示すように、初期回路23はCLK1を遅延させた信号であるラッチ信号Lを発生し、また初期信号Iは発生しない。初期信号Iが発生していないので、制御回路20はクロック制御回路22から供給されるCLK2を受けて、図8に示すように、CLK2の1回目のアクティブエッジ(立ち上がり及び立ち下がりの両エッジが有効)にตอบสนองして選択信号Sをハイレベルとするとともにタイミング信号φ2を一定期間ハイレベルとする。さらに、制御回路20は、CLK2の2回目のアクティブエッジにตอบสนองしてタイミング信号φ1を一定期間ハイレベルとし、3回目のアクティブエッジにตอบสนองして選択信号Sをローレベルとするとともにタイミング信号φ3を一定期間ハイレベルとする。

【0030】したがって、CLK1の入力が開始され、最初にハイレベルとなるタイミング信号φ2にตอบสนองして、選択されたワード線A0がVT1とVT2の中間の電圧に駆動されると、判定回路3-0内のセンスアンプ13の出力はローレベルとなる一方、選択回路Sがハイレベルとなるので、続いて発生するラッチ信号Lの立ち

上がりにตอบสนองしてこれがラッチ回路7にラッチされる。他の判定回路3-1~3-3内のラッチ回路7にも、それぞれのセンスアンプ13の出力がラッチされるので、図4のNo.1に示すとおり(0110)という出力データが得られる。なお、かかるデータはタイミング信号φ2の立ち下がりにตอบสนองして、それぞれのラッチ回路5にもラッチされる。さらに、内部アドレス信号はラッチ信号Lの上記立ち上がりにตอบสนองしてインクリメントされ、x0のみが「1」となる。しかし、xn~x1が「0」のままであるので、ワード線の選択は変化しない。

【0031】次に、タイミング信号φ1がハイレベルになると、これにตอบสนองして各判定回路3-0内のセンスアンプ13の出力はハイレベルに変化するが、選択信号Sはハイレベルを保持しており、且つラッチ信号Lはこの期間においては立ち上がらないので、ラッチ回路7のラッチデータは変化しない。しかしながら、この期間においてはワード線A0はVT0とVT1の中間の電圧に駆動されるので、タイミング信号φ1の立ち下がりにตอบสนองして、各ラッチ回路6にはそれぞれのセンスアンプ13の出力がラッチされることになる。

【0032】続いてタイミング信号φ3がハイレベルになると、これにตอบสนองして選択されたワード線A0がVT2とVT3の中間の電圧に駆動され、判定回路3-0内のセンスアンプ13の出力は再びローレベルとなる一方、選択回路Sがローレベルに変化する。そして、タイミング信号φ3の立ち下がりにตอบสนองして、各ラッチ回路6にはそれぞれのセンスアンプ13の出力がラッチされるので、判定回路3-0内のラッチ回路4、5及び6にラッチされた値はそれぞれ「0、0、1」となる。これにより、続いて発生するラッチ信号Lの立ち上がりにตอบสนองして、ラッチ回路7には「1」がラッチされ、出力データD0は「1」となる。同様に、判定回路3-1内のラッチ回路4、5及び6にはそれぞれ「0、1、1」がラッチされるので、出力データD1は「0」となり、判定回路3-2内のラッチ回路4、5及び6にはそれぞれ「1、1、1」がラッチされるので、出力データD2は「1」となり、判定回路3-3内のラッチ回路4、5及び6にはそれぞれ「0、0、0」がラッチされるので、出力データD3は「0」となる。以上により、図4のNo.2に示すとおり(1010)という出力データが得られる。また、ラッチ信号Lの上記立ち上がりにตอบสนองして、内部アドレス信号はさらにインクリメントされx1のみが「1」となるので、アドレスデコーダ1はワード線の選択をA1に変える。

【0033】以後は、CLK1が入力され続ける限り以上の動作を続け、図4のNo.3、No.4に示す出力データをCLK1の立ち下がりにตอบสนองして次々と出力することになる。

【0034】以上は、初期信号Iが発生しない場合、す

なわち入力されたアドレス信号の最下位ビットXが「0」である場合の動作であるが、これが「1」である場合には、初期信号Iの発生により1回目のラッチ信号Lが除去されるだけで、その他の動作は上述のものと全く同じである。つまり、1回目のラッチ信号Lが除去されることで、CLK1の1回目の立ち下がりに応答した出力がなくなり、CLK1の2回目以降の立ち下がりに応答してデータの出力が行われることになる。

【0035】以上説明したように、本実施例においても上記第1の実施例と同様、各セルに2アドレス分の出力値を格納させ出力ビット数と同数のセルを同時に選択することで出力データを得ているだけでなく、アドレスの最下位ビットが「1」である場合の出力値が、「0」である場合の出力値に基づいて生成されることを利用して連続アクセスを行っているので、最下位ビットが「0」に対応するデータを読み出すときにはワード線の電圧を1段階に設定するだけで良く、また「1」に対応するデータを読み出すときにはワード線の電圧を2段階に設定するだけで良いので、全体としてワード線の電圧を変化される回数は従来の半分となる。しかも、本実施例によるROM200では、かかる連続アクセスをクロックに応答して行っているため、外部機器と同期した高速な連続アクセスを行うことができる。

【0036】なお、第1及び第2の実施例においては、ともに4ビット出力の場合を例に説明したが、その他の場合、例えば8ビット出力や16ビット出力にも適用できることはいうまでもない。

【0037】さらに、セルも、2ビットの情報を格納するものを用いて説明したが、それ以上の場合、例えば4ビットの情報を格納するものであっても、各セルに4アドレス分の出力値を格納させ、出力ビット数と同数のセルを同時に選択することにより本発明を適用することができる。

【0038】

【発明の効果】以上説明したように、本発明では、mビットの情報を格納するセルを有するROMにおいて、各セルにmアドレス分の出力値を格納させるとともに出力ビット数と同数のセルを同時に選択しているため、読み

出し時においてワード線電圧を変化させる回数が少なく、したがって、高速な読み出しが行われる多値ROMが提供される。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるROM100の全体図である。

【図2】図1に示された判定回路3-0を詳細に示す図である。

【図3】ROM100の動作を示すタイミング図である。

【図4】各アドレス信号に対応するROM100の出力データの一例を示す図である。

【図5】図1に示された各セルに設定された閾値の一例を示す図である。

【図6】本発明の第2の実施例によるROM100の全体図である。

【図7】図6に示されたアドレスカウンタ21を詳細に示す図である。

【図8】ROM100の動作を示すタイミング図である。

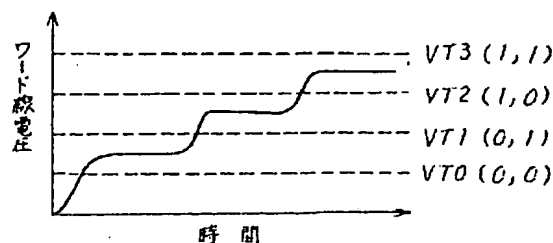
【図9】従来のROM300の全体図である。

【図10】ROM300において選択されたワード線の電圧変化を示す図である。

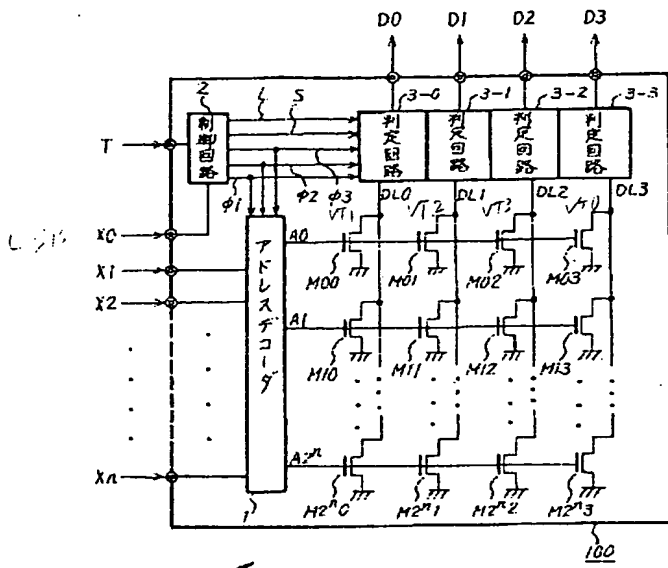
【符号の説明】

1……アドレスデコーダ、 2, 20……制御回路、
3……判定回路、 4~7, 40……ラッチ回路、
8, 9……アンドゲート、 10……オアゲート、 11, 12……トランスファゲート、 13……センスアンプ、 21……アドレスカウンタ、 22……クロック制御回路、 23……初期回路、 100, 200……ROM、 M……メモリセルトランジスタ、 X……アドレス信号、 x……内部アドレス信号、 A……ワード線、 DL……ディジット線、 D……出力データ、 T……読み出しタイミング信号、 L……ラッチ信号、 S……選択信号、 $\phi 1, \phi 2, \phi 3$ ……タイミング信号、 I……初期信号、 CLK1, CLK2……クロック

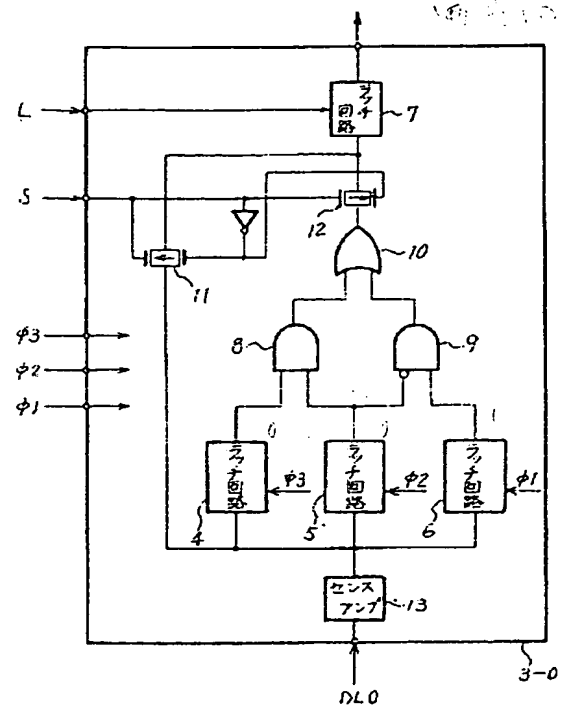
【図10】



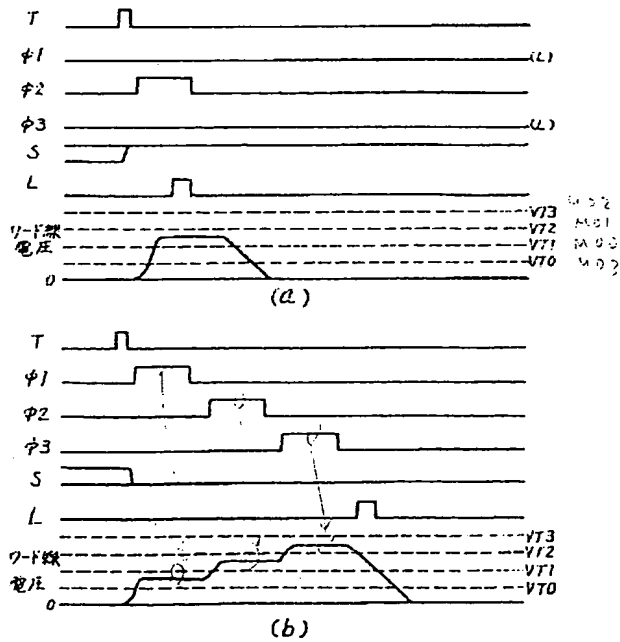
【図1】



【図2】



【図3】

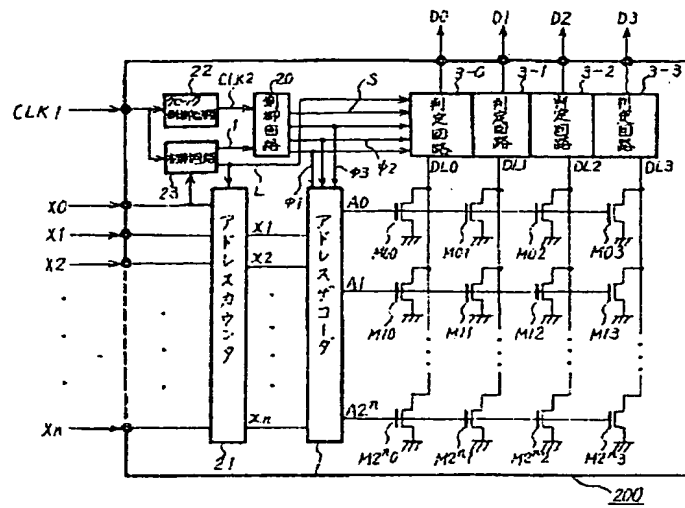
【図4】 VT1 VT2 VT3 VT4
0 1 10 11 00

| No | $X_n \dots X_2 X_1 X_0$ | 選択される ワード線 | D0 | D1 | D2 | D3 |
|---------|-------------------------|---------------|-----|-----|-----|-----|
| 1 | 0...000 | A0 | 0 | 1 | 1 | 0 |
| 2 | 0...001 | A0 | 1 | 0 | 1 | 0 |
| 3 | 0...010 | A1 | 0 | 1 | 1 | 1 |
| 4 | 0...011 | A1 | 0 | 0 | 0 | 0 |
| ... | ... | ... | ... | ... | ... | ... |
| 2^n-1 | 1...110 | $A2^n$ | 1 | 0 | 0 | 0 |
| 2^n | 1...111 | $A2^n$ | 0 | 1 | 0 | 0 |

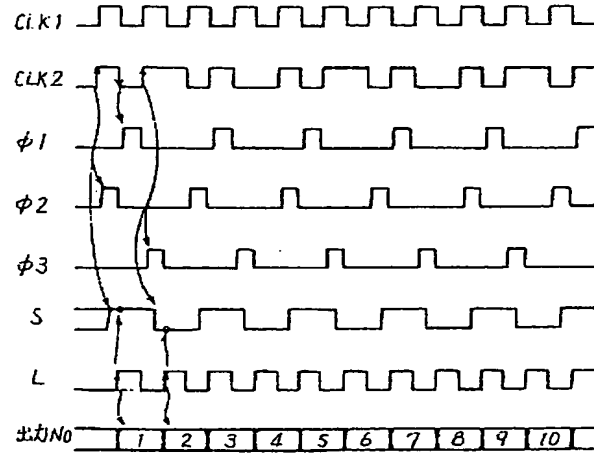
【図 5】

| メモリセル | 閾値 |
|------------------|-----|
| M00 | VT1 |
| M01 | VT2 |
| M02 | VT3 |
| M03 | VT0 |
| M10 | VT0 |
| M11 | VT2 |
| M12 | VT2 |
| M13 | VT2 |
| ⋮ | ⋮ |
| M2 ⁿ⁰ | VT2 |
| M2 ⁿ¹ | VT1 |
| M2 ⁿ² | VT0 |
| M2 ⁿ³ | VT0 |

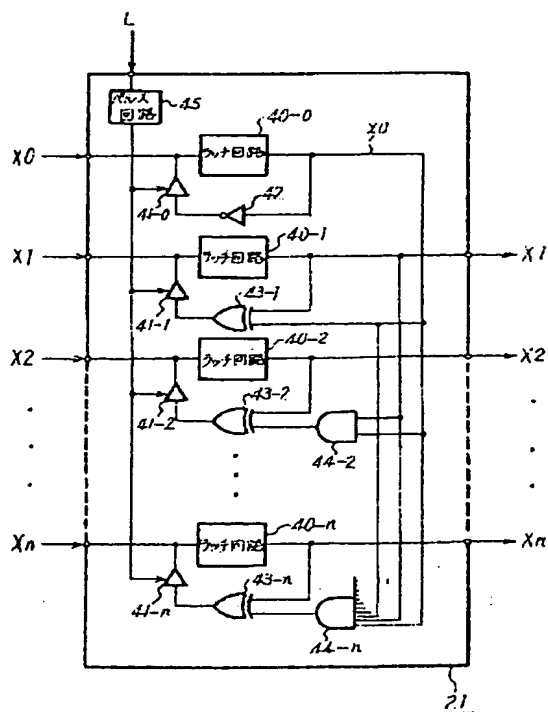
【図 6】



【図 8】



【図 7】



【図 9】

